



2818
PATENT APPLICATION
Docket No. 4591-339

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Hyong-Ryol Hwang, et al.

Serial No. 10/676,996 Art Unit. 2818
Filed: September 30, 2003 Examiner: not yet assigned
Title: SEMICONDUCTOR MEMORY DEVICE WITH A
DECOUPLING CAPACITOR

Confirmation No. 7259

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL LETTER

Enclosed for filing in the above-referenced application are the following:

- ☒ Certified copy of Korean Priority Document No. 2003-04196, filed on January 22, 2003, from which priority is claimed.
- ☒ Return Postcard
- ☒ Any deficiency or overpayment should be charged or credited to deposit account number 13-1703.

Customer No. 20575

Respectfully submitted,

MARGER JOHNSON & McCOLLOM, P.C.

Alan T. McCollom
Reg. No. 28,881

MARGER JOHNSON & McCOLLOM, P.C.
1030 SW Morrison Street
Portland, OR 97205
503-222-3613

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450
Date: January 12, 2004

Adrienne Chocholak



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0004196
Application Number

출원년월일 : 2003년 01월 22일
Date of Application JAN 22, 2003

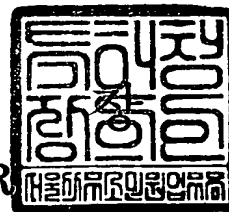
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 05 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.01.22
【발명의 명칭】	디커플링 커패시터를 포함하는 반도체 메모리 장치
【발명의 영문명칭】	SEMICONDUCTOR MEMORY DEVICE HAVING DECOUPLING CAPACITOR
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	황형렬
【성명의 영문표기】	HWANG, HYONG RYOL
【주민등록번호】	720130-1650812
【우편번호】	151-012
【주소】	서울특별시 관악구 신림2동 406-21
【국적】	KR
【발명자】	
【성명의 국문표기】	서영훈
【성명의 영문표기】	SEO, YOUNG HUN
【주민등록번호】	740116-1772311
【우편번호】	706-031
【주소】	대구광역시 수성구 수성1가 신세계타운 9동 1506호
【국적】	KR

【발명자】**【성명의 국문표기】**

심재운

【성명의 영문표기】

SIM, JAE YOON

【주민등록번호】

690718-1559619

【우편번호】

442-470

【주소】

경기도 수원시 팔달구 영통동 신나무실 풍림아파트 604동 1302호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

26 면 26,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

39 항 1,357,000 원

【합계】

1,412,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명의 반도체 메모리 장치는 서브 어레이들과 감지 증폭 영역들을 갖는 코어 블록을 포함한다. 코어 블록의 양측에는 각각 제 1 및 제 2 전하 저장 영역들이 배열된다. 제 1 및 제 2 전하 저장 영역들에는 제 1 및 제 2 디커플링 커패시터들이 각각 형성된다. 복수 개의 제 1 전압 공급 라인들은 감지 증폭 영역들로 전원 전압을 공급하도록 배열되고, 제 1 및 제 2 디커플링 커패시터들의 일 전극들에 연결된다. 복수 개의 제 2 전압 공급 라인들은 감지 증폭 영역들로 접지 전압을 공급하도록 배열되고, 제 1 및 제 2 디커플링 커패시터들의 다른 전극들에 연결된다.

【대표도】

도 2

【명세서】

【발명의 명칭】

디커플링 커패시터를 포함하는 반도체 메모리 장치{SEMICONDUCTOR MEMORY DEVICE HAVING DECOUPLING CAPACITOR}

【도면의 간단한 설명】

도 1은 본 발명의 제 1 실시예에 따른 반도체 메모리 장치를 보여주는 블록도;

도 2는 도 1에 도시된 코어 블록 및 디커플링 커패시터의 레이아웃을 보여주는 도면;

도 3은 도 2의 점선 A-A'을 따라 절단된 단면을 보여주는 단면도;

도 4는 본 발명의 제 2 실시예에 따른 반도체 메모리 장치를 보여주는 블록도;

도 5는 도 4에 도시된 코어 블록 및 디커플링 커패시터의 레이아웃을 보여주는 도면;

도 6은 본 발명의 제 3 실시예에 따른 반도체 메모리 장치를 보여주는 블록도;

도 7은 도 6에 도시된 코어 블록 및 디커플링 커패시터의 레이아웃을 보여주는 도면; 그리고

도 8은 디커플링 커패시터가 반도체 메모리 장치에 구현되었는 지의 여부에 따른 비트 라인 전압 변화를 보여주는 도면이다.

* 도면의 주요 부분에 대한 부호 설명 *

100 : 반도체 메모리 장치 110, 120, 130, 140 : 코어 블록

110A, 120A, 130A, 140A : 행 선택 블록

110B, 120B, 130B, 140B : 열 선택 블록

150T, 150B, 160T, 160B, 170T, 170B, 180T, 180B : 전하 저장 영역

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <14> 본 발명은 반도체 메모리 장치에 관한 것이다. 좀 더 구체적으로는, 랜덤 액세스 메모리(Random Access Memory) 장치에 관한 것이다.
- <15> 반도체 메모리 장치는 정보를 저장하기 위한 메모리 셀 어레이를 포함한다. 어레이의 각 메모리 셀에는 "0" 또는 "1" 데이터가 쓰여지고, 그것으로부터 데이터가 읽혀진다. 반도체 메모리 장치에 따라, 읽기 및 쓰기 동작은 읽기 수단과 쓰기 수단을 통해 각각 수행되거나, 하나의 읽기/쓰기 수단을 통해 수행될 것이다. DRAM 장치의 경우, 예를 들면, 읽기/쓰기 수단으로서 잘 알려진 감지 증폭기를 통해 읽기 및 쓰기 동작이 수행된다. SRAM 장치의 경우, 읽기 수단으로서 감지 증폭기를 통해 읽기 동작이 수행되고 쓰기 수단으로서 쓰기 드라이버를 통해 쓰기 동작이 수행된다.
- <16> DRAM 장치의 감지 증폭기의 예는 U.S. Patent No. 6,337,823 (발명자: Dong-II Seo, Gi-Hong Kim 발행일: January 8, 2002)에 "RANDOM ACCESS MEMORY DEVICE CAPABLE OF MINIMIZING SENSING NOISE"라는 제목으로 개시되어 있다. SRAM 장치의 감지 증폭기 및 쓰기 드라이버의 예는 U.S. Patent No. 6,160,746 (발명자: Hee-Choul Park, Su-Chul Kim, 발행일: December 12, 2000)에 "SEMICONDUCTOR MEMORY WITH AUTO-TRACKING BIT LINE PRECHARGE SCHEME"라는 제목으로 개시되어 있다.
- <17> 잘 알려진 바와 같이, 읽기 또는 쓰기 동작이 수행될 때, 상당히 많은 양의 전류가 소모된다. 이에 따라, 전원 전압 레벨은 낮아지는 반면에 접지 전압 레벨은 높아진다. 즉, 읽기 또

는 쓰기 동작이 수행될 때, 전원 노이즈가 생긴다. 특히, 이러한 전원 노이즈로 인해 감지 증폭기의 감지 마진이 감소되며, 그 결과 동작 속도의 저하가 초래된다. 전원 노이즈로 인한 동작 속도의 저하는 전원 전압이 낮아짐에 따라 더욱 가속될 것이다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명의 목적은 전원 노이즈를 효과적으로 줄일 수 있는 반도체 메모리 장치를 제공하는 것이다.

<19> 본 발명의 다른 목적은 동작 속도를 향상시킬 수 있는 반도체 메모리 장치를 제공하는 것이다.

<20> 본 발명의 또 다른 목적은 반도체 메모리 장치의 디커플링 커패시터의 레이아웃 구조를 제공하는 것이다.

【발명의 구성 및 작용】

<21> 이러한 목적을 달성하기 위한 본 발명의 반도체 메모리 장치는 코어 블록을 포함하며, 코어 블록은 행들과 열들로 배열되는 복수 개의 서브 어레이들과, 열 방향으로 인접한 서브 어레이들 사이에 각각 배열되는 복수 개의 감지 증폭 영역들을 포함한다. 본 발명의 반도체 메모리 장치는 상기 각 행의 감지 증폭 영역들로 제 1 동작 전압을 공급하는 복수 개의 제 1 전압 공급 라인들, 상기 각 행의 감지 증폭 영역들로 제 2 동작 전압을 공급하는 복수 개의 제 2 전압 공급 라인들, 그리고 상기 코어 블록의 양측에 각각 배열되는 제 1 및 제 2 전하 저장 영역들을 더 포함한다. 상기 제 1 및 제 2 전하 저장 영역들에는 상기 제 1 및 제 2 전압 공급 라인들에 연결되는 제 1 및 제 2 전하 저장 수단이 각각 형성된다. 상기 각 감지 증폭 영역은 복

수 개의 감지 증폭기들을 포함하며, 상기 감지 증폭기들은 상기 제 1 및 제 2 동작 전압들을 공급받는다.

- <22> 바람직한 실시예에 있어서, 상기 제 1 및 제 2 전하 저장 수단은 감지 동작시 생기는 전원 노이즈를 방지하기 위한 디커플링 커패시터를 각각 포함한다.
- <23> 바람직한 실시예에 있어서, 상기 제 1 전하 저장 수단의 디커플링 커패시터는 상기 코어 블록의 양측 중 어느 하나에 형성되는 제 1 액티브 영역과; 상기 제 1 액티브 영역 상부에 형성되며, 상기 제 1 전압 공급 라인들에 각각 대응하도록 연결되는 복수 개의 제 1 도전막들과; 그리고 상기 제 1 액티브 영역 상부에 형성되며, 상기 제 2 전압 공급 라인들에 연결되는 제 2 도전막을 포함하며, 상기 제 2 도전막과 상기 제 1 액티브 영역은 복수 개의 콘택들에 의해서 전기적으로 연결된다.
- <24> 바람직한 실시예에 있어서, 상기 제 2 전하 저장 수단의 디커플링 커패시터는 상기 코어 블록의 양측 중 다른 하나에 형성되는 제 2 액티브 영역과; 상기 제 2 액티브 영역 상부에 형성되며, 상기 제 1 전압 공급 라인들에 각각 대응하도록 연결되는 복수 개의 제 3 도전막들과; 그리고 상기 제 2 액티브 영역 상부에 형성되며, 상기 제 2 전압 공급 라인들에 연결되는 제 4 도전막을 포함하며, 상기 제 4 도전막과 상기 제 2 액티브 영역은 복수 개의 콘택들에 의해서 전기적으로 연결된다.
- <25> 본 발명에 따른 바람직한 실시예들은 참조 도면들에 의거하여 이하 상세히 설명될 것이다. 본 발명은 반도체 메모리 장치, 예를 들면, DRAM 장치를 이용하여 설명될 것이다. 하지만, 본 발명의 기술적 사상이 DRAM 장치에 국한되지 않음은 자명하다. 전원 전압과 접지 전압을 공급하기 위한 라인들은 다양한 용어들로 명명될 수 있다. 예를 들면, 그러한 라인들은 "전압 라인 (voltage line)"

", "전압 공급 라인 (voltage supply line)", "분배 라인 (distribution line)", 또는 그와 같은 것으로 명명될 수 있다. 바람직하게, 본 실시예에서는, 전압 공급 라인이라는 용어가 사용된다.

<26> (제 1 실시예)

<27> 도 1은 본 발명의 제 1 실시예에 따른 반도체 메모리 장치를 보여주는 블록도이다.

<28> 도 1을 참조하면, 본 발명에 따른 반도체 메모리 장치 (100)는 복수 개의, 예를 들면, 4개의 코어 블록들 (110, 120, 130, 140)을 포함한다. 코어 블록들 (110-140)은 매트릭스 형태로 배열되어 있다. 코어 블록의 일측에는 행 선택 블록이 배치되어 있고, 코어 블록의 다른측에는 열 선택 블록이 배치되어 있다. 예를 들면, 코어 블록 (110)의 하측에는 행 선택 블록 (110A)이 배치되고, 코어 블록 (110)의 우측에는 열 선택 블록 (110B)이 배치되어 있다. 코어 블록 (120)의 하측에는 행 선택 블록 (120A)이 배치되고, 코어 블록 (120)의 좌측에는 열 선택 블록 (120B)이 배치되어 있다. 코어 블록 (130)의 상측에는 행 선택 블록 (130A)이 배치되고, 코어 블록 (130)의 우측에는 열 선택 블록 (130B)이 배치되어 있다. 코어 블록 (140)의 상측에는 행 선택 블록 (140A)이 배치되고, 코어 블록 (140)의 좌측에는 열 선택 블록 (140B)이 배치되어 있다. 비록 도면에는 도시되지 않았지만, 코어 블록들 (110, 120)과 코어 블록들 (130, 140) 사이에는 주변 회로 블록이 배열될 것이다.

<29> 계속해서 도 1을 참조하면, 각 코어 블록의 양측 (즉, 상측 및 하측)에는 각각 전하 저장 영역들이 배열되어 있다. 예를 들면, 코어 블록 (110)의 상측 및 하측에는 전하 저장 영역들 (150T, 150B)이 각각 배열되고, 코어 블록 (120)의 상측 및 하측에는 전하 저장 영역들 (160T, 160B)이 각각 배열된다. 코어 블록 (130)의 상측 및 하측에는 전하 저장 영역들 (170T, 170B)이 각각 배열되고, 코어 블록 (140)의 상측 및 하측에는 전하 저장 영역들 (180T, 180B)

이 각각 배열된다. 각 전하 저장 영역에는 감지 동작시 생기는 전원 노이즈를 방지하기 위한 디커플링 커패시터 (decoupling capacitor)가 형성된다. 전하 저장 영역이 코어 블록의 측면을 따라 형성되기 때문에, 상당히 큰 크기의 디커플링 커패시터가 형성될 수 있다. 전하 저장 수단으로서, 디커플링 커패시터는 감지 증폭기에 동작 전압들을 공급하기 위한 전원 전압 공급 라인들 (VINTA) 및 접지 전압 공급 라인들 (VSSA)에 전기적으로 연결될 것이다. 이는 이후 상세히 설명될 것이다.

<30> 감지 동작이 수행될 때 소모되는 전하들은 일차적으로 디커플링 커패시터로부터 공급되고, 그 다음에 전압 공급 라인들을 통해 전원 공급 회로 또는 외부로부터 공급된다. 디커플링 커패시터가 없는 경우, 감지 동작시 소모되는 전하들은 단지 전원 전압 공급 라인들을 통해 공급된다. 전원 전압 공급 라인의 로딩때문에, 감지 동작시 순간적으로 소모되는 전류를 바로 감지 증폭기들에 공급하는 것은 어렵다. 반면에, 보조 전원 장치 (auxiliary power supply device)로서 디커플링 커패시터가 사용되는 경우, 감지 동작시 순간적으로 소모되는 전류는 일차적으로 디커플링 커패시터에 의해서 공급될 수 있다. 따라서, 전원 노이즈 (즉, 전원 전압의 감소 및 접지 전압의 증가)를 효과적으로 방지 또는 억제할 수 있다.

<31> 도 2는 도 1에 도시된 코어 블록 및 전하 저장 영역의 레이아웃 구조를 보여주는 도면이다. 도 1에 도시된 코어 블록들은 동일한 구조를 갖기 때문에, 단지 하나의 코어 블록 (110)만이 도 2에 도시되어 있다. 게다가, 각 코어 블록의 상측 및 하측에 배열된 전하 저장 영역들에 형성되는 디커플링 커패시터들 역시 동일한 구조를 갖기 때문에, 하나의 코어 블록 (110)과 관련된 2개의 전하 저장 영역들 (150T, 150B)만이 도 2에 도시되어 있다.

<32> 도 2를 참조하면, 코어 블록 (110)은 행들과 열들의 매트릭스 형태로 배열된 복수 개의 서브 어레이들 (10)을 포함하며, 각 서브 어레이 (10)는 복수 개의 워드 라인들 (WL), 복수 개

의 비트 라인 쌍들 (BL, /BL) 그리고 상기 워드 라인들 (WL)과 상기 비트 라인들 (BL, /BL)의 교차 영역들에 배열된 복수 개의 메모리 셀들 (MC)을 갖는다. 각 열 방향으로 배열된 인접한 서브 어레이들 (10) 사이에는 감지 증폭 영역들 (20)이 배치된다. 상기 각 감지 증폭 영역 (20)에는 복수 개의 감지 증폭기들 (SA)이 제공되며, 각 감지 증폭기 (SA)는 인접한 서브 어레이들 각각의, 동일한 열을 따라 배열된, 비트 라인 쌍 (BL, /BL)에 연결된다. 즉, 각 감지 증폭 영역 (20) 내의 감지 증폭기들 (SA)은 인접한 서브 어레이들 (10)에 의해서 공유된다.

<33> 계속해서 도 2를 참조하면, 각 행의 서브 어레이들 (10)의 양측에는 워드 라인 구동 영역들 (30)이 배치된다. 각 워드 라인 구동 영역 (30)에는 복수 개의 워드 라인 구동기들 (word line drivers, WLD)이 제공된다. 각 서브 어레이의 워드 라인들 중 일부는 일측에 배치된 워드 라인 구동 영역의 구동기들 (WLD)에 의해서 선택되고, 나머지 워드 라인들은 타측에 배치된 워드 라인 구동 영역의 구동기들 (WLD)에 의해서 선택된다. 열 방향으로 인접한 워드 라인 구동 영역들 (30) 사이에는 컨정션 영역들 (conjunction regions) (40)이 배치된다.

<34> 전원 전압 공급 라인 (VINTA)과 접지 전압 공급 라인 (VSSA)은 각 행에 속하는 감지 증폭 영역들 (30) 및 컨정션 영역들 (40) 상에 배치된다. 전원 전압 공급 라인 (VINTA)은 감지 증폭기에 전원 전압 (VINTA)을 공급하기 위한 것이고, 접지 전압 공급 라인 (VSSA)은 감지 증폭기에 접지 전압 (VSSA)을 공급하기 위한 것이다. 비록 도면에는 도시되지 않았지만, 공급 라인들 (VINTA, VSSA)의 일 종단들은 전원 공급 회로 (미도시됨) 또는 외부 전원을 공급받는 전원 패드 (미도시됨)에 연결될 것이다. 각 행의 전원 전압 공급 라인 (VINTA)은 컨정션 영역들 (40)에 배치된 PMOS 트랜지스터들을 통해 신호 라인 (SAH)에 연결되며, PMOS 트랜지스터들의 게이트들은 신호 라인 (SAP)에 공통으로 연결된다. 각 행의 접지 전압 공급 라인 (VSSA)은 컨정션 영역들 (40)에 배치된 NMOS 트랜지스터들을 통해 신호 라인 (SAL)에 연결되며, NMOS 트랜

지스터들의 게이트들은 신호 라인 (SAN)에 공통으로 연결된다. 도면에 도시된 바와 같이, 신호 라인들 (SAH, SAL)은 각 감지 증폭 영역 (20)의 감지 증폭기들 (SA)에 연결되어 있다. 이러한 구조에 따르면, 각 감지 증폭 영역의 감지 증폭기들에는 제 1 동작 전압으로서 전원 전압과 제 2 동작 전압으로서 접지 전압이 공급된다.

<35> 계속해서 도 2를 참조하면, 전원 전압 공급 라인들 (VINTA)의 일단들은 코어 블록 (110)의 상측에 배열된 전하 저장 영역 (150T)에 연결되고, 전원 전압 공급 라인들 (VINTA)의 타단들은 코어 블록 (110)의 하측에 배열된 전하 저장 영역 (150B)에 연결된다. 접지 전압 공급 라인들 (VSSA)의 일단들은 코어 블록 (110)의 상측에 배열된 전하 저장 영역 (150T)에 연결되고, 접지 전압 공급 라인들 (VSSA)의 타단들은 코어 블록 (110)의 하측에 배열된 전하 저장 영역 (150B)에 연결된다. 전하 저장 영역들 (150T, 150B)에는 각각 디커플링 커패시터가 형성된다.

<36> 각 디커플링 커패시터는 액티브 영역, 액티브 영역 상부에 형성되는 제 1 도전막들 (P1), 그리고 액티브 영역 상부에 형성되는 제 2 도전막 (P2)을 포함한다. 제 1 도전막 (P1)은 모오스 트랜지스터의 게이트용 폴리실리콘으로 형성되고, 제 2 도전막 (P2)은 비트 라인용 폴리실리콘으로 형성된다. 각 행의 전원 전압 공급 라인 (VINTA)의 양단은 대응하는 콘택들 (메탈과 폴리실리콘 사이에 형성됨)을 통해 전하 저장 영역 (150T)의 제 1 도전막 (P1)과 전하 저장 영역 (150B)의 제 1 도전

막 (P1)과 각각 연결된다. 각 행의 접지 전압 공급 라인 (VSSA)의 양단은 대응하는 콘택들 (메탈과 폴리실리콘 사이에 형성됨)을 통해 전하 저장 영역 (150T)의 제 2 도전막 (P2)과 전하 저장 영역 (150B)의 제 2 도전막 (P2)과 각각 연결된다. 전하 저장 영역 (150T)의 제 2 도전막 (P2)은 콘택들 (폴리실리콘과 액티브 영역 사이에 형성됨)을 통해 액티브 영역과 전기적으로 연결된다. 전하 저장 영역 (150B)의 제 2 도전막 (P2)은 콘택들 (폴리실리콘과 액티브 영역 사이에 형성됨)을 통해 액티브 영역과 전기적으로 연결된다. 여기서, 제 1 도전막들 (P1)은 디커플링 커패시터의 일 전극을 형성하고, 제 2 도전막 (P2)은 디커플링 커패시터의 다른 전극을 형성한다.

<37> 본 발명의 디커플링 커패시터에 있어서, 각 전하 저장 영역에는 단지 하나의 제 1 도전막 (P1)이 형성되고 단지 하나의 전원 전압 공급 라인 (VINTA)이 제 1 도전막에 연결될 수 있다. 바람직하게, 도 2에 도시된 바와 같이, 각 전원 전압 공급 라인 (VINTA)에 연결되도록 복수의 제 1 도전막들이 형성될 것이다.

<38> 상당히 큰 용량을 갖는 디커플링 커패시터가 코어 블록 (110)의 상측에 그리고 하측에 각각 형성되어 있기 때문에, 감지 동작시 생기는 전원 노이즈를 효과적으로 줄일 수 있다. 전원 노이즈가 감소됨에 따라, 동작 속도가 개선될 수 있다. 예를 들면, 도 8을 참조하면, 디커플링 커패시터가 사용되지 않을 때와 비교하여 보면, 디커플링 커패시터를 사용할 때의 전원 노이즈가 상대적으로 감소한다. 전원 노이즈가 감소함에 따라, 도 8에서 알 수 있듯이, 감지 속도 또는 동작 속도가, 예를 들면, 2ns만큼 빨라진다.

<39> 도 3은 도 2에 도시된 점선 A-A'을 따라 절단된 단면을 보여주는 단면도이다.

<40> 도 3을 참조하면, 디커플링 커패시터는 전하를 저장하는 수단으로, 액티브 영역 또는 반도체 기판 상부에 형성된 게이트용 폴리실리콘 (P1)과 액티브 영역 또는 반도체 기판 상부에

형성된 비트 라인용 폴리실리콘 (P2)을 포함한다. 게이트용 폴리실리콘 (P1)은 디커플링 커패시터의 일 전극을 형성하고, 비트 라인용 폴리실리콘 (P2)은 디커플링 커패시터의 다른 전극을 형성한다. 폴리실리콘 (P2)은 플러그들 (PG1, PG2)를 통해 액티브 영역의 불순물 영역과 전기적으로 연결되어 있다. 게이트용 폴리실리콘 (P1)은 플러그 (PG3)를 통해 전원 전압 공급 라인 (VINTA)에 전기적으로 연결되고, 비트 라인용 폴리실리콘 (P2)은 플러그 (PG4)를 통해 접지 전압 공급 라인 (VSSA)에 전기적으로 연결되어 있다. 각 플러그는 텅스텐, 폴리실리콘, 텅스텐 실리사이드, 또는 기타 그와 같은 것으로 형성될 수 있다.

<41> (제 2 실시예)

<42> 도 4는 본 발명의 제 2 실시예에 따른 반도체 메모리 장치를 보여주는 블록도이다.

<43> 도 4를 참조하면, 본 발명에 따른 반도체 메모리 장치 (200)는 복수 개의, 예를 들면, 4 개의 코어 블록들 (210, 220, 230, 240)을 포함한다. 코어 블록들 (210-240)은 매트릭스 형태로 배열되어 있다. 코어 블록의 일측에는 행 선택 블록이 배치되어 있고, 코어 블록의 다른측에는 열 선택 블록이 배치되어 있다. 예를 들면, 코어 블록 (210)의 하측에는 행 선택 블록 (210A)이 배치되고, 코어 블록 (210)의 우측에는 열 선택 블록 (210B)이 배치되어 있다. 코어 블록 (220)의 하측에는 행 선택 블록 (220A)이 배치되고, 코어 블록 (220)의 좌측에는 열 선택 블록 (220B)이 배치되어 있다. 코어 블록 (230)의 상측에는 행 선택 블록 (230A)이 배치되고, 코어 블록 (230)의 우측에는 열 선택 블록 (230B)이 배치되어 있다. 코어 블록 (240)의 상측에는 행 선택 블록 (240A)이 배치되고, 코어 블록 (240)의 좌측에는 열 선택 블록 (240B)이 배치되어 있다. 비록 도면에는 도시되지 않았지만, 코어 블록들 (210, 220)과 코어 블록들 (230, 240) 사이에는 주변 회로 블록이 배열될 것이다.

<44> 계속해서 도 4를 참조하면, 코어 블록들 (210-240)을 각각 둘러싸도록 전하 저장 영역들 (250, 260, 270, 280)이 배열되어 있다. 각 전하 저장 영역 (250-280)에는 감지 동작시 생기는 전원 노이즈를 방지하기 위한 디커플링 커패시터가 형성된다. 전하 저장 영역이 코어 블록의 주변을 따라 형성되기 때문에, 상당히 큰 크기의 디커플링 커패시터가 형성될 수 있다. 전하 저장 수단으로서, 디커플링 커패시터는 감지 증폭기에 동작 전압들을 공급하기 위한 전원 전압 공급 라인들 및 접지 전압 공급 라인들에 전기적으로 연결될 것이다.

<45> 도 5는 도 4에 도시된 코어 블록 및 전하 저장 영역의 레이아웃 구조를 보여주는 도면이다. 도 4에 도시된 코어 블록들은 동일한 구조를 갖기 때문에, 단지 하나의 코어 블록 (210)만이 도 5에 도시되어 있다.

<46> 도 5를 참조하면, 코어 블록 (210)은 행들과 열들의 매트릭스 형태로 배열된 복수 개의 서브 어레이들 (10')을 포함하며, 각 서브 어레이 (10')는 복수 개의 워드 라인들 (WL), 복수 개의 비트 라인 쌍들 (BL, /BL) 그리고 상기 워드 라인들 (WL)과 상기 비트 라인들 (BL, /BL)의 교차 영역들에 배열된 복수 개의 메모리 셀들 (MC)을 갖는다. 각 열 방향으로 배열된 인접한 서브 어레이들 (10') 사이에는 감지 증폭 영역들 (20')이 배치된다. 상기 각 감지 증폭 영역 (20')에는 복수 개의 감지 증폭기들 (SA)이 제공되며, 각 감지 증폭기 (SA)는 인접한 서브 어레이들 각각의, 동일한 열을 따라 배열된, 비트 라인 쌍 (BL, /BL)에 연결된다. 즉, 각 감지 증폭 영역 (20') 내의 감지 증폭기들 (SA')은 인접한 서브 어레이들 (10')에 의해서 공유된다.

<47> 계속해서 도 5를 참조하면, 각 행의 서브 어레이들 (10')의 양측에는 워드 라인 구동 영역들 (30')이 배치된다. 각 워드 라인 구동 영역 (30')에는 복수 개의 워드 라인 구동기들 (WLD)이 제공된다. 각 서브 어레이의 워드 라인들 중 일부는 일측에 배치된 워드 라인 구동 영역의 구동기들 (WLD)에 의해서 선택되고, 나머지 워드 라인들은 타측에 배치된 워드 라인 구동

영역의 구동기들 (WLD)에 의해서 선택된다. 열 방향으로 인접한 워드 라인 구동 영역들 (30') 사이에는 컨정선 영역들 (40')이 배치된다.

<48> 전원 전압 공급 라인 (VINTA1)과 접지 전압 공급 라인 (VSSA1)은 각 행에 속하는 감지 증폭 영역들 (20') 및 컨정선 영역들 (40') 상에 배치된다. 게다가, 전원 전압 공급 라인 (VINTA2)과 접지 전압 공급 라인 (VSSA2)은 각 열에 속하는 워드 라인 구동 영역들 (30') 및 컨정선 영역들 (40') 상에 배치된다. 행 방향으로 배열된 전원 전압 공급 라인들 (VINTA1)은 컨정선 영역들 (40')에서 열 방향으로 배열된 전원 전압 공급 라인들 (VINTA2)과 교차 접속된다. 행 방향으로 배열된 접지 전압 공급 라인들 (VSSA1)은 컨정선 영역들 (40')에서 열 방향으로 배열된 접지 전압 공급 라인들 (VSSA2)과 교차 접속된다. 즉, 전원 전압 공급 라인들 (VINTA1, VINTA2)과 접지 전압 공급 라인들 (VSSA1, VSSA2)은 그물 구조를 갖도록 배열되어 있다.

<49> 계속해서 도 5를 참조하면, 각 행의 전원 전압 공급 라인 (VINTA1)은 컨정선 영역들 (40')에 배치된 PMOS 트랜지스터들을 통해 신호 라인 (SAH)에 연결되며, PMOS 트랜지스터들의 게이트들은 신호 라인 (SAP)에 공통으로 연결된다. 각 행의 접지 전압 공급 라인 (VSSA1)은 컨정선 영역들 (40')에 배치된 NMOS 트랜지스터들을 통해 신호 라인 (SAL)에 연결되며, NMOS 트랜지스터들의 게이트들은 신호 라인 (SAN)에 공통으로 연결된다. 도면에 도시된 바와 같이, 신호 라인들 (SAH, SAL)은 각 감지 증폭 영역 (20')의 감지 증폭기들 (SA)에 연결되어 있다. 앞서 설명된 바와 같이, 행 방향으로 배열된 접지 전압 공급 라인들 (VSSA1)은 컨정선 영역들 (40')에서 열 방향으로 배열된 접지 전압 공급 라인들 (VSSA2)과 교차 접속된다.

<50> 코어 블록 (210)을 둘러싸도록 형성된 전하 저장 영역 (250)에는 디커플링 커패시터가 형성된다. 본 발명에 따른 디커플링 커패시터는 액티브 영역, 액티브 영역 상부에 형성되는 제 1 도전막들 (P1'), 그리고 액티브 영역 상부에 형성되는 제 2 도전막 (P2')을 포함한다. 제 1 도전막들 (P1')은 모오스 트랜지스터의 게이트용 폴리실리콘으로 형성되고, 제 2 도전막 (P2')은 비트 라인용 폴리실리콘으로 형성된다. 제 1 도전막들 (P1')은 디커플링 커패시터의 일 전극을 형성하고, 제 2 도전막 (P2)은 디커플링 커패시터의 다른 전극을 형성한다.

<51> 각 행의 전원 전압 공급 라인 (VINTA1)의 양단은 대응하는 콘택들 (메탈과 폴리실리콘 사이에 형성됨)을 통해 코어 블록 (210)의 상측 및 하측에 배열된 제 1 도전막들 (P1')과 각각 연결된다. 각 행의 접지 전압 공급 라인 (VSSA1)의 양단은 대응하는 콘택들 (메탈과 폴리실리콘 사이에 형성됨)을 통해 코어 블록 (210)을 둘러싸도록 형성된 제 2 도전막 (P2')과 각각 연결된다. 그리고, 각 열의 전원 전압 공급 라인 (VINTA2)의 양단은 대응하는 콘택들 (메탈과 폴리실리콘 사이에 형성됨)을 통해 코어 블록 (210)의 좌측 및 우측에 배열된 제 1 도전막들 (P1')과 각각 연결된다. 각 열의 접지 전압 공급 라인 (VSSA2)의 양단은 대응하는 콘택들 (메탈과 폴리실리콘 사이에 형성됨)을 통해 코어 블록 (210)을 둘러싸도록 형성된 제 2 도전막 (P2')과 각각 연결된다. 전하 저장 영역 (250)의 제 2 도전막 (P2')은 콘택들 (폴리실리콘과 액티브 영역 사이에 형성됨)을 통해 액티브 영역과 전기적으로 연결된다.

<52> 제 2 실시예에 따른 반도체 메모리 장치는 제 1 실시예에 따른 반도체 메모리 장치와 동일한 효과를 얻을 수 있다. 그것에 대한 설명은, 그러므로, 생략된다.

<53> (제 3 실시예)

<54> 도 6은 본 발명의 제 3 실시예에 따른 반도체 메모리 장치를 보여주는 블록도이다.

<55> 도 6을 참조하면, 본 발명에 따른 반도체 메모리 장치 (300)는 복수 개의, 예를 들면, 4개의 코어 블록들 (310, 320, 330, 340)을 포함한다. 코어 블록들 (310-340)은 매트릭스 형태로 배열되어 있다. 코어 블록의 일측에는 행 선택 블록이 배치되어 있고, 코어 블록의 다른측에는 열 선택 블록이 배치되어 있다. 예를 들면, 코어 블록 (310)의 하측에는 행 선택 블록 (310A)이 배치되고, 코어 블록 (310)의 우측에는 열 선택 블록 (310B)이 배치되어 있다. 코어 블록 (320)의 하측에는 행 선택 블록 (320A)이 배치되고, 코어 블록 (320)의 좌측에는 열 선택 블록 (320B)이 배치되어 있다. 코어 블록 (330)의 상측에는 행 선택 블록 (330A)이 배치되고, 코어 블록 (330)의 우측에는 열 선택 블록 (330B)이 배치되어 있다. 코어 블록 (340)의 상측에는 행 선택 블록 (340A)이 배치되고, 코어 블록 (340)의 좌측에는 열 선택 블록 (340B)이 배치되어 있다. 비록 도면에는 도시되지 않았지만, 코어 블록들 (310, 320)과 코어 블록들 (330, 340) 사이에는 주변 회로 블록이 배열될 것이다.

<56> 계속해서 도 6을 참조하면, 각 코어 블록의 양측 (즉, 우측 및 좌측)에는 각각 전하 저장 영역들이 배열되어 있다. 예를 들면, 코어 블록 (310)의 좌측 및 우측에는 전하 저장 영역들 (350L, 350R)이 각각 배열되고, 코어 블록 (320)의 좌측 및 우측에는 전하 저장 영역들 (360L, 360R)이 각각 배열된다. 코어 블록 (330)의 좌측 및 우측에는 전하 저장 영역들 (370L, 370R)이 각각 배열되고, 코어 블록 (340)의 좌측 및 우측에는 전하 저장 영역들 (380L, 380R)이 각각 배열된다. 각 전하 저장 영역에는 감지 동작시 생기는 전원 노이즈를 방지하기 위한 디커플링 커패시터가 형성된다. 전하 저장 영역이 코어 블록의 측면을 따라 형성되기 때문에, 상당히 큰 크기의 디커플링 커패시터가 형성될 수 있다. 전하 저장 수단으로서, 디커플링 커패시터는 감지 증폭기에 동작 전압들을 공급하기 위한 전원 전압 공급 라인들 및 접지 전압 공급 라인들에 전기적으로 연결될 것이다.

<57> 도 7은 도 6에 도시된 코어 블록 및 전하 저장 영역의 레이아웃 구조를 보여주는 도면이다. 도 6에 도시된 코어 블록들은 동일한 구조를 갖기 때문에, 단지 하나의 코어 블록 (310)만이 도 7에 도시되어 있다. 게다가, 각 코어 블록의 좌측 및 우측에 배열된 전하 저장 영역들에 형성되는 디커플링 커패시터들 역시 동일한 구조를 갖기 때문에, 하나의 코어 블록 (310)과 관련된 2개의 전하 저장 영역들 (350L, 350R)만이 도 7에 도시되어 있다.

<58> 도 7을 참조하면, 코어 블록 (310)은 행들과 열들의 매트릭스 형태로 배열된 복수 개의 서브 어레이들 (10")을 포함하며, 각 서브 어레이 (10")는 복수 개의 워드 라인들 (WL), 복수 개의 비트 라인 쌍들 (BL, /BL) 그리고 상기 워드 라인들 (WL)과 상기 비트 라인들 (BL, /BL)의 교차 영역들에 배열된 복수 개의 메모리 셀들 (MC)을 갖는다. 각 열 방향으로 배열된 인접한 서브 어레이들 (10") 사이에는 감지 증폭 영역들 (20")이 배치된다. 상기 각 감지 증폭 영역 (20")에는 복수 개의 감지 증폭기들 (SA)이 제공되며, 각 감지 증폭기 (SA)는 인접한 서브 어레이들 각각의, 동일한 열을 따라 배열된, 비트 라인 쌍 (BL, /BL)에 연결된다. 즉, 각 감지 증폭 영역 (20") 내의 감지 증폭기들 (SA)은 인접한 서브 어레이들 (10")에 의해서 공유된다.

<59> 계속해서 도 7을 참조하면, 각 행의 서브 어레이들 (10")의 양측에는 워드 라인 구동 영역들 (30")이 배치된다. 각 워드 라인 구동 영역 (30")에는 복수 개의 워드 라인 구동기들 (WLD)이 제공된다. 각 서브 어레이의 워드 라인들 중 일부는 일측에 배치된 워드 라인 구동 영역의 구동기들 (WLD)에 의해서 선택되고, 나머지 워드 라인들은 타측에 배치된 워드 라인 구동 영역의 구동기들 (WLD)에 의해서 선택된다. 열 방향으로 인접한 워드 라인 구동 영역들 (30") 사이에는 컨정선 영역들 (40")이 배치된다.

<60> 전원 전압 공급 라인 (VINTA1)과 접지 전압 공급 라인 (VSSA1)은 각 행에 속하는 감지 증폭 영역들 (20") 및 컨정선 영역들 (40") 상에 배치된다. 게다가, 전원 전압 공급 라인 (VINTA2)과 접지 전압 공급 라인 (VSSA2)은 각 열에 속하는 워드 라인 구동 영역들 (30") 및 컨정선 영역들 (40") 상에 배치된다. 행 방향으로 배열된 전원 전압 공급 라인들 (VINTA1)은 컨정선 영역들 (40")에서 열 방향으로 배열된 전원 전압 공급 라인들 (VINTA2)과 교차 접속된다. 행 방향으로 배열된 접지 전압 공급 라인들 (VSSA1)은 컨정선 영역들 (40")에서 열 방향으로 배열된 접지 전압 공급 라인들 (VSSA2)과 교차 접속된다. 즉, 전원 전압 공급 라인들 (VINTA1, VINTA2)과 접지 전압 공급 라인들 (VSSA1, VSSA2)은 그물 구조를 갖도록 배열되어 있다.

<61> 계속해서 도 7을 참조하면, 각 행의 전원 전압 공급 라인 (VINTA1)은 컨정선 영역들 (40")에 배치된 PMOS 트랜지스터들을 통해 신호 라인 (SAH)에 연결되며, PMOS 트랜지스터들의 게이트들은 신호 라인 (SAP)에 공통으로 연결된다. 각 행의 접지 전압 공급 라인 (VSSA1)은 컨정선 영역들 (40")에 배치된 NMOS 트랜지스터들을 통해 신호 라인 (SAL)에 연결되며, NMOS 트랜지스터들의 게이트들은 신호 라인 (SAN)에 공통으로 연결된다. 도면에 도시된 바와 같이, 신호 라인들 (SAH, SAL)은 각 감지 증폭 영역 (20")의 감지 증폭기들 (SA)에 연결되어 있다. 앞서 설명된 바와 같이, 행 방향으로 배열된 접지 전압 공급 라인들 (VSSA1)은 컨정선 영역들 (40")에서 열 방향으로 배열된 접지 전압 공급 라인들 (VSSA2)과 교차 접속된다.

<62> 도 7에 도시된 바와 같이, 전원 전압 공급 라인들 (VINTA2)의 일단들은 코어 블록 (310)의 좌측에 배열된 전하 저장 영역 (350L)에 연결되고, 전원 전압 공급 라인들 (VINTA2)의 타단들은 코어 블록 (310)의 우측에 배열된 전하 저장 영역 (350R)에 연결된다. 접지 전압 공급 라인들 (VSSA2)의 일단들은 코어 블록 (310)의 좌측에 배열된 전하 저장 영역 (350L)에

연결되고, 접지 전압 공급 라인들 (VSSA2)의 타단들은 코어 블록 (310)의 우측에 배열된 전하 저장 영역 (350R)에 연결된다. 전하 저장 영역들 (350L, 350R)에는 각각 디커플링 커패시터가 형성된다.

<63> 각 디커플링 커패시터는 액티브 영역, 액티브 영역 상부에 형성되는 제 1 도전막들 (P1"), 그리고 액티브 영역 상부에 형성되는 제 2 도전막 (P2")을 포함한다. 제 1 도전막 (P1")은 모오스 트랜지스터의 게이트용 폴리실리콘으로 형성되고, 제 2 도전막 (P2")은 비트 라인용 폴리실리콘으로 형성된다. 각 열의 전원 전압 공급 라인 (VINTA2)의 양단은 대응하는 콘택들 (메탈과 폴리실리콘 사이에 형성됨)을 통해 전하 저장 영역 (350L)의 제 1 도전막 (P1")과 전하 저장 영역 (350R)의 제 1 도전막 (P1")과 각각 연결된다. 각 열의 접지 전압 공급 라인 (VSSA")의 양단은 대응하는 콘택들 (메탈과 폴리실리콘 사이에 형성됨)을 통해 전하 저장 영역 (350L)의 제 2 도전막 (P2")과 전하 저장 영역 (350R)의 제 2 도전막 (P2")과 각각 연결된다. 전하 저장 영역 (350L)의 제 2 도전막 (P2")은 콘택들 (폴리실리콘과 액티브 영역 사이에 형성됨)을 통해 액티브 영역과 전기적으로 연결된다. 전하 저장 영역 (350R)의 제 2 도전막 (P2")은 콘택들 (폴리실리콘과 액티브 영역 사이에 형성됨)을 통해 액티브 영역과 전기적으로 연결된다.

<64> 본 발명의 디커플링 커패시터에 있어서, 각 전하 저장 영역에는 단지 하나의 제 1 도전막 (P1")이 형성되고 단지 하나의 전원 전압 공급 라인 (VINTA2)이 제 1 도전막 (P1")에 연결될 수 있다. 바람직하게, 각 전원 전압 공급 라인 (VINTA2)에 연결되도록 제 1 도전막들 (P1")이 형성될 것이다. 제 1 도전막들 (P1")은 디커플링 커패시터의 일 전극을 형성하고, 제 2 도전막 (P2")은 디커플링 커패시터의 다른 전극을 형성한다.

<65> 제 3 실시예에 따른 반도체 메모리 장치는 제 1 실시예에 따른 반도체 메모리 장치와 동일한 효과를 얻을 수 있다. 그것에 대한 설명은, 그러므로, 생략된다.

<66> 본 발명에 따른 반도체 메모리 장치의 경우, 코어 블록을 둘러싸도록 또는 코어 블록의 양측 (상측 및 하측, 또는 좌측 및 우측)에 전하 저장 영역이 제공된다. 하지만, 디커플링 커패시터를 형성하기 위한 전하 저장 영역이 주변 회로 블록을 둘러싸도록 형성될 수 있음은 자명하다. 또한, 필요에 따라, 코어 블록의 일측에만 또는 코어 블록과 주변 회로 블록을 둘러싸도록 전하 저장 영역이 배열될 수 있다. 도면에는 도시되어 있지 않지만, 컨정션 영역들과 워드 라인 구동 영역들에 부분적으로 디커플링 커패시터들이 형성될 수 있다.

<67> 이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<68> 상술한 바와 같이, 코어 블록을 둘러싸도록 또는 코어 블록의 양측에 전하 저장 영역을 배치하고, 전하 저장 영역에 디커플링 커패시터를 형성함으로써 감지 동작시 생기는 전원 노이즈를 억제할 수 있다. 따라서, 반도체 메모리 장치의 동작 속도가 향상될 수 있다.

【특허청구범위】**【청구항 1】**

코어 블록과;

상기 코어 블록은

행들과 열들로 배열되는 복수 개의 서브 어레이들과; 그리고

열 방향으로 인접한 서브 어레이들 사이에 각각 배열되는 복수 개의 감지 증폭 영역들을 포함하고;

상기 각 행의 감지 증폭 영역들로 제 1 동작 전압을 공급하는 복수 개의 제 1 전압 공급 라인들과;

상기 각 행의 감지 증폭 영역들로 제 2 동작 전압을 공급하는 복수 개의 제 2 전압 공급 라인들과; 그리고

상기 코어 블록의 측면들 중 적어도 일측에 배열되는 전하 저장 영역을 포함하며, 상기 전하 저장 영역에는 상기 제 1 및 제 2 전압 공급 라인들에 연결되는 전하 저장 수단이 형성되는 반도체 메모리 장치.

【청구항 2】

제 1 항에 있어서,

상기 각 감지 증폭 영역에는 복수 개의 감지 증폭기들이 형성되며, 상기 감지 증폭기들은 상기 제 1 및 제 2 동작 전압들을 공급받는 반도체 메모리 장치.

【청구항 3】

제 1 항에 있어서,

상기 전하 저장 수단은 감지 동작시 생기는 전원 노이즈를 방지하기 위한 디커플링 커패시터를 포함하는 반도체 메모리 장치.

【청구항 4】

제 3 항에 있어서,

상기 디커플링 커패시터는

상기 코어 블록의 일측에 형성되는 액티브 영역과;

상기 액티브 영역 상부에 형성되며, 상기 제 1 전압 공급 라인들에 각각 대응하도록 연결되는 복수 개의 제 1 도전막들과; 그리고

상기 액티브 영역 상부에 형성되며, 상기 제 2 전압 공급 라인들에 연결되는 제 2 도전막을 포함하며,

상기 제 2 도전막과 상기 액티브 영역은 복수 개의 콘택들에 의해서 전기적으로 연결되는 반도체 메모리 장치.

【청구항 5】

제 4 항에 있어서,

상기 제 1 도전막은 게이트용 폴리실리콘을 포함하고, 상기 제 2 도전막은 비트 라인용 폴리실리콘을 포함하는 반도체 메모리 장치.

【청구항 6】

코어 블록과;

상기 코어 블록은

행들과 열들로 배열되는 복수 개의 서브 어레이들과; 그리고

열 방향으로 인접한 서브 어레이들 사이에 각각 배열되는 복수 개의 감지 증폭 영역들을 포함하고;

상기 각 행의 감지 증폭 영역들로 제 1 동작 전압을 공급하는 복수 개의 제 1 전압 공급 라인들과;

상기 각 행의 감지 증폭 영역들로 제 2 동작 전압을 공급하는 복수 개의 제 2 전압 공급 라인들과; 그리고

상기 코어 블록의 양측에 각각 배열되는 제 1 및 제 2 전하 저장 영역들을 포함하며, 상기 제 1 및 제 2 전하 저장 영역들에는 상기 제 1 및 제 2 전압 공급 라인들에 연결되는 제 1 및 제 2 전하 저장 수단이 각각 형성되는 반도체 메모리 장치.

【청구항 7】

제 6 항에 있어서,

상기 각 감지 증폭 영역은 복수 개의 감지 증폭기들을 포함하며, 상기 감지 증폭기들은 상기 제 1 및 제 2 동작 전압들을 공급받는 반도체 메모리 장치.

【청구항 8】

제 6 항에 있어서,

상기 제 1 및 제 2 전하 저장 수단은 감지 동작시 생기는 전원 노이즈를 방지하기 위한 디커플링 커패시터를 각각 포함하는 반도체 메모리 장치.

【청구항 9】

제 8 항에 있어서,

상기 제 1 전하 저장 수단의 디커플링 커패시터는

상기 코어 블록의 양측 중 어느 하나에 형성되는 제 1 액티브 영역과;

상기 제 1 액티브 영역 상부에 형성되며, 상기 제 1 전압 공급 라인들에 각각 대응하도록 연결되는 복수 개의 제 1 도전막들과; 그리고

상기 제 1 액티브 영역 상부에 형성되며, 상기 제 2 전압 공급 라인들에 연결되는 제 2 도전막을 포함하며,

상기 제 2 도전막과 상기 제 1 액티브 영역은 복수 개의 콘택들에 의해서 전기적으로 연결되는 반도체 메모리 장치.

【청구항 10】

제 9 항에 있어서,

상기 제 2 전하 저장 수단의 디커플링 커패시터는

상기 코어 블록의 양측 중 다른 하나에 형성되는 제 2 액티브 영역과;

상기 제 2 액티브 영역 상부에 형성되며, 상기 제 1 전압 공급 라인들에 각각 대응하도록 연결되는 복수 개의 제 3 도전막들과; 그리고

상기 제 2 액티브 영역 상부에 형성되며, 상기 제 2 전압 공급 라인들에 연결되는 제 4 도전막을 포함하며,

상기 제 4 도전막과 상기 제 2 액티브 영역은 복수 개의 콘택들에 의해서 전기적으로 연결되는 반도체 메모리 장치.

【청구항 11】

제 10 항에 있어서,

상기 코어 블록의 양측 중 어느 하나에 인접하여 행 선택 회로가 배치되는 반도체 메모리 장치.

【청구항 12】

제 10 항에 있어서,

상기 코어 블록의 양측 중 어느 하나에 인접하여 열 선택 회로가 배치되는 반도체 메모리 장치.

【청구항 13】

제 10 항에 있어서,

상기 제 1 도전막은 게이트용 폴리실리콘을 포함하고, 상기 제 2 도전막은 비트 라인용 폴리실리콘을 포함하는 반도체 메모리 장치.

【청구항 14】

코어 블록과;

상기 코어 블록은

행들과 열들로 배열되는 복수 개의 서브 어레이들과;

행 방향으로 인접한 서브 어레이들 사이에 각각 배열되는 복수 개의 워드 라인 구동 영역들과;

열 방향으로 인접한 서브 어레이들 사이에 각각 배열되는 복수 개의 감지 증폭 영역들과; 그리고

상기 행 방향으로 인접한 감지 증폭 영역들 사이에 각각 배열되는 복수 개의 컨정선 영역들을 포함하고;

상기 각 행의 감지 증폭 영역들로 제 1 동작 전압을 공급하며, 상기 각 행의 감지 증폭 영역들 및 컨정선 영역들 상에 배열되는 복수 개의 제 1 전압 공급 라인들과;

상기 각 행의 감지 증폭 영역들로 제 2 동작 전압을 공급하며, 상기 각 행의 감지 증폭 영역들 및 컨정선 영역들 상에 배열되는 복수 개의 제 2 전압 공급 라인들과; 그리고

상기 코어 블록의 양측에 각각 배열되는 제 1 및 제 2 전하 저장 영역들을 포함하며, 상기 제 1 및 제 2 전하 저장 영역들에는 상기 제 1 및 제 2 전압 공급 라인들에 연결되는 제 1 및 제 2 전하 저장 수단이 각각 형성되는 반도체 메모리 장치.

【청구항 15】

제 14 항에 있어서,

상기 각 감지 증폭 영역은 복수 개의 감지 증폭기들을 포함하며, 상기 감지 증폭기들은 상기 제 1 및 제 2 동작 전압들을 공급받는 반도체 메모리 장치.

【청구항 16】

제 14 항에 있어서,

상기 제 1 전하 저장 수단은

상기 코어 블록의 양측 중 어느 하나에 형성되는 제 1 액티브 영역과;

상기 제 1 액티브 영역 상부에 형성되며, 상기 제 1 전압 공급 라인들에 각각 대응하도록 연결되는 복수 개의 제 1 도전막들과; 그리고

상기 제 1 액티브 영역 상부에 형성되며, 상기 제 2 전압 공급 라인들에 연결되는 제 2 도전막으로 구성되는 제 1 디커플링 커패시터를 포함하며,

상기 제 2 도전막과 상기 제 1 액티브 영역은 복수 개의 콘택들에 의해서 전기적으로 연결되는 반도체 메모리 장치.

【청구항 17】

제 16 항에 있어서,

상기 제 2 전하 저장 수단은

상기 코어 블록의 양측 중 다른 하나에 형성되는 제 2 액티브 영역과;

상기 제 2 액티브 영역 상부에 형성되며, 상기 제 1 전압 공급 라인들에 각각 대응하도록 연결되는 복수 개의 제 3 도전막들과; 그리고

상기 제 2 액티브 영역 상부에 형성되며, 상기 제 2 전압 공급 라인들에 연결되는 제 4 도전막으로 구성되는 제 2 디커플링 커패시터를 포함하며,

상기 제 4 도전막과 상기 제 2 액티브 영역은 복수 개의 콘택들에 의해서 전기적으로 연결되는 반도체 메모리 장치.

【청구항 18】

제 17 항에 있어서,

상기 코어 블록의 양측 중 어느 하나에 인접하여 행 선택 회로가 배치되는 반도체 메모리 장치.

【청구항 19】

제 15 항에 있어서,

상기 각 열의 감지 증폭 영역들의 감지 증폭기들로 상기 제 1 동작 전압을 공급하며, 상기 각 행의 감지 증폭 영역들 및 워드 라인 구동 영역들 상에 배열되는 복수 개의 제 3 전압 공급 라인들과;

상기 각 열의 감지 증폭 영역들의 감지 증폭기들로 상기 제 2 동작 전압을 공급하며, 상기 각 열의 감지 증폭 영역들 및 워드 라인 구동 영역들 상에 배열되는 복수 개의 제 4 전압 공급 라인들을 더 포함하는 반도체 메모리 장치.

【청구항 20】

제 19 항에 있어서,

상기 제 1 및 제 3 전압 공급 라인들은 상기 컨정선 영역들에서 교차 접속되고, 상기 제 2 및 제 4 전압 공급 라인들은 상기 컨정선 영역들에서 교차 접속되는 반도체 메모리 장치.

【청구항 21】

제 20 항에 있어서,

상기 제 3 및 제 4 전압 공급 라인들에 연결되는 제 3 및 제 4 전하 저장 수단을 더 포함하는 반도체 메모리 장치.

【청구항 22】

제 21 항에 있어서,

상기 제 3 및 제 4 전하 저장 수단은 상기 코어 블록의 나머지 측면에 각각 배열되는 반도체 메모리 장치.

【청구항 23】

제 22 항에 있어서,

상기 코어 블록의 나머지 측면 중 어느 하나에 인접하여 열 선택 블록이 배치되는 반도체 메모리 장치.

【청구항 24】

제 23 항에 있어서,

상기 제 3 전하 저장 수단은

상기 코어 블록의 나머지 양측 중 어느 하나에 형성되는 제 1 액티브 영역과;

상기 제 1 액티브 영역 상부에 형성되며, 상기 제 3 전압 공급 라인들에 각각 대응하도록 연결되는 제 1 도전막들과; 그리고

상기 제 1 액티브 영역 상부에 형성되며, 상기 제 4 전압 공급 라인들에 연결되는 제 2 도전막으로 구성되는 포함하는 제 1 디커플링 커패시터를 포함하며,

상기 제 2 도전막과 상기 제 1 액티브 영역은 복수 개의 콘택들에 의해서 전기적으로 연결되는 반도체 메모리 장치.

【청구항 25】

제 24 항에 있어서,

상기 제 2 전하 저장 수단은

상기 코어 블록의 나머지 양측 중 다른 하나에 형성되는 제 2 액티브 영역과;

상기 제 2 액티브 영역 상부에 형성되며, 상기 제 3 전압 공급 라인들에 각각 대응하도록 연결되는 제 3 도전막들과; 그리고

상기 제 2 액티브 영역 상부에 형성되며, 상기 제 4 전압 공급 라인들에 연결되는 제 4 도전막으로 구성되는 제 2 디커플링 커패시터를 포함하며,

상기 제 4 도전막과 상기 제 2 액티브 영역은 복수 개의 콘택들에 의해서 전기적으로 연결되는 반도체 메모리 장치.

【청구항 26】

제 14 항에 있어서,

상기 제 1 동작 전압은 전원 전압이고, 상기 제 2 동작 전압은 접지 전압인 반도체 메모리 장치.

【청구항 27】

코어 블록과;

상기 코어 블록은

행들과 열들로 배열되는 복수 개의 서브 어레이들과;

행 방향으로 인접한 서브 어레이들 사이에 각각 배열되는 복수 개의 워드 라인 구동 영역들과;

각각이 복수 개의 감지 증폭기들을 가지며, 열 방향으로 인접한 서브 어레이들 사이에 각각 배열되는 복수 개의 감지 증폭 영역들과; 그리고

상기 행 방향으로 인접한 감지 증폭 영역들 사이에 각각 배열되는 복수 개의 컨정선 영역들을 포함하고;

상기 각 행의 감지 증폭 영역들의 감지 증폭기들로 제 1 동작 전압을 공급하며, 상기 각 행의 감지 증폭 영역들 및 컨정선 영역들 상에 배열되는 복수 개의 제 1 전압 공급 라인들과;

상기 각 행의 감지 증폭 영역들의 감지 증폭기들로 제 2 동작 전압을 공급하며, 상기 각 행의 감지 증폭 영역들 및 컨정선 영역들 상에 배열되는 복수 개의 제 2 전압 공급 라인들과;

상기 각 열의 감지 증폭 영역들의 감지 증폭기들로 상기 제 1 동작 전압을 공급하며, 상기 각 행의 감지 증폭 영역들 및 워드 라인 구동 영역들 상에 배열되는 복수 개의 제 3 전압 공급 라인들과;

상기 각 열의 감지 증폭 영역들의 감지 증폭기들로 상기 제 2 동작 전압을 공급하며, 상기 각 열의 감지 증폭 영역들 및 워드 라인 구동 영역들 상에 배열되는 복수 개의 제 4 전압 공급 라인들과; 그리고

상기 코어 영역을 둘러싸도록 배열되는 전하 저장 영역을 포함하며, 상기 전하 저장 영역에는 상기 제 1 내지 제 4 전압 공급 라인들에 연결되는 전하 저장 수단을 포함하는 반도체 메모리 장치.

【청구항 28】

제 27 항에 있어서,

상기 제 1 및 제 3 전압 공급 라인들은 상기 컨정선 영역들에서 교차 접속되고, 상기 제 2 및 제 4 전압 공급 라인들은 상기 컨정선 영역들에서 교차 접속되는 반도체 메모리 장치.

【청구항 29】

제 27 항에 있어서,

상기 전하 저장 수단은 감지 동작시 생기는 전원 노이즈를 방지하기 위한 디커플링 커패시터를 포함하는 반도체 메모리 장치.

【청구항 30】

제 29 항에 있어서,

상기 디커플링 커패시터는

상기 코어 블록을 둘러싸도록 형성되는 액티브 영역과;

상기 액티브 영역 상부에 형성되며, 상기 제 1 및 제 3 전압 공급 라인들에 각각 대응하도록 연결되는 복수 개의 제 1 도전막들과; 그리고

상기 액티브 영역 상부에 형성되며, 상기 제 2 및 제 4 전압 공급 라인들에 연결되는 제 2 도전막을 포함하며,

상기 제 2 도전막과 상기 액티브 영역은 복수 개의 콘택들에 의해서 전기적으로 연결되는 반도체 메모리 장치.

【청구항 31】

코어 블록과;

상기 코어 블록은

행들과 열들로 배열되는 복수 개의 서브 어레이들과; 그리고

열 방향으로 인접한 서브 어레이들 사이에 각각 배열되는 복수 개의 감지 증폭 영역들을 포함하고;

상기 코어 블록의 양측에 각각 배열되며, 전하를 저장하기 위한 제 1 및 제 2 디커플링 커패시터들이 각각 형성되는 제 1 및 제 2 전하 저장 영역들과;

상기 각 행의 감지 증폭 영역들로 제 1 동작 전압을 공급하며, 상기 제 1 및 제 2 디커플링 커패시터들의 일 전극들에 연결되는 복수 개의 제 1 전압 공급 라인들과; 그리고

상기 각 행의 감지 증폭 영역들로 제 2 동작 전압을 공급하며, 상기 제 1 및 제 2 디커플링 커패시터들의 다른 전극들에 연결되는 복수 개의 제 2 전압 공급 라인들을 포함하는 반도체 메모리 장치.

【청구항 32】

제 31 항에 있어서,

상기 제 1 및 제 2 디커플링 커패시터들 각각의 일 전극은 상기 제 1 전압 공급 라인들에 연결되는 복수 개의 도전막들을 포함하는 반도체 메모리 장치.

【청구항 33】

제 31 항에 있어서,

상기 제 1 및 제 2 디커플링 커패시터들 각각의 다른 전극은 상기 제 2 전압 공급 라인들에 연결된 도전막을 포함하는 반도체 메모리 장치.

【청구항 34】

행들과 열들로 배열되는 복수 개의 서브 어레이들과; 행 방향으로 인접한 서브 어레이들 사이에 각각 배열되는 복수 개의 워드 라인 구동 영역들과; 열 방향으로 인접한 서브 어레이들 사이에 각각 배열되는 복수 개의 감지 증폭 영역들과; 그리고 상기 행 방향으로 인접한 감지 증폭 영역들 사이에 각각 배열되는 복수 개의 컨정선 영역들을 갖는 코어 블록과;

상기 각 행의 감지 증폭 영역들 및 컨정선 영역들 상에 배열되는 복수 개의 제 1 전압 공급 라인들과;

상기 각 행의 감지 증폭 영역들 및 컨정선 영역들 상에 배열되는 복수 개의 제 2 전압 공급 라인들과;

상기 각 행의 감지 증폭 영역들 및 워드 라인 구동 영역들 상에 배열되는 복수 개의 제 3 전압 공급 라인들과;

상기 각 열의 감지 증폭 영역들 및 워드 라인 구동 영역들 상에 배열되는 복수 개의 제 4 전압 공급 라인들과; 그리고

상기 코어 영역을 둘러싸도록 배열되며, 전하를 저장하기 위한 디커플링 커패시터가 형성되는 전하 저장 영역을 포함하며,

상기 제 1 및 제 3 전압 공급 라인들은 상기 디커플링 커패시터의 일 전극에 연결되고, 상기 제 2 및 제 4 전압 공급 라인들은 상기 디커플링 커패시터의 다른 전극에 연결되는 반도체 메모리 장치.

【청구항 35】

제 34 항에 있어서,

상기 제 1 및 제 3 전압 공급 라인들은 상기 감지 증폭 영역들로 전압 전압을 공급하고, 상기 제 2 및 제 4 전압 공급 라인들은 상기 감지 증폭 영역들로 접지 전압을 공급하는 반도체 메모리 장치.

【청구항 36】

행들과 열들로 배열되는 복수 개의 서브 어레이들과; 행 방향으로 인접한 서브 어레이들 사이에 각각 배열되는 복수 개의 워드 라인 구동 영역들과; 열 방향으로 인접한 서브 어레이들 사이에 각각 배열되는 복수 개의 감지 증폭 영역들과; 그리고 상기 행 방향으로 인접한 감지 증폭 영역들 사이에 각각 배열되는 복수 개의 컨정선 영역들을 갖는 코어 블록과;

상기 각 행의 감지 증폭 영역들 및 컨정선 영역들 상에 배열되는 복수 개의 제 1 전압 공급 라인들과;

상기 각 행의 감지 증폭 영역들 및 컨정선 영역들 상에 배열되는 복수 개의 제 2 전압 공급 라인들과;

상기 각 행의 감지 증폭 영역들 및 워드 라인 구동 영역들 상에 배열되는 복수 개의 제 3 전압 공급 라인들과;

상기 각 열의 감지 증폭 영역들 및 워드 라인 구동 영역들 상에 배열되는 복수 개의 제 4 전압 공급 라인들과; 그리고

상기 코어 블록의 양측에 각각 배열되며, 전하를 저장하기 위한 제 1 및 제 2 디커플링 커패시터들이 각각 형성되는 제 1 및 제 2 전하 저장 영역들과;

상기 제 3 전압 공급 라인들은 상기 제 1 및 제 2 디커플링 커패시터들의 일 전극들에 연결되고, 상기 제 4 전압 공급 라인들은 상기 제 1 및 제 2 디커플링 커패시터들의 다른 전극들에 연결되는 반도체 메모리 장치.

【청구항 37】

제 36 항에 있어서,

상기 제 1 및 제 3 전압 공급 라인들은 상기 컨정선 영역들에서 교차 접속되고, 상기 제 2 및 제 4 전압 공급 라인들은 상기 컨정선 영역들에서 교차 접속되는 반도체 메모리 장치.

【청구항 38】

제 36 항에 있어서,

상기 제 1 및 제 2 디커플링 커패시터들 각각의 일 전극은 상기 제 3 전압 공급 라인들에 연결되는 복수 개의 도전막들을 포함하는 반도체 메모리 장치.

【청구항 39】

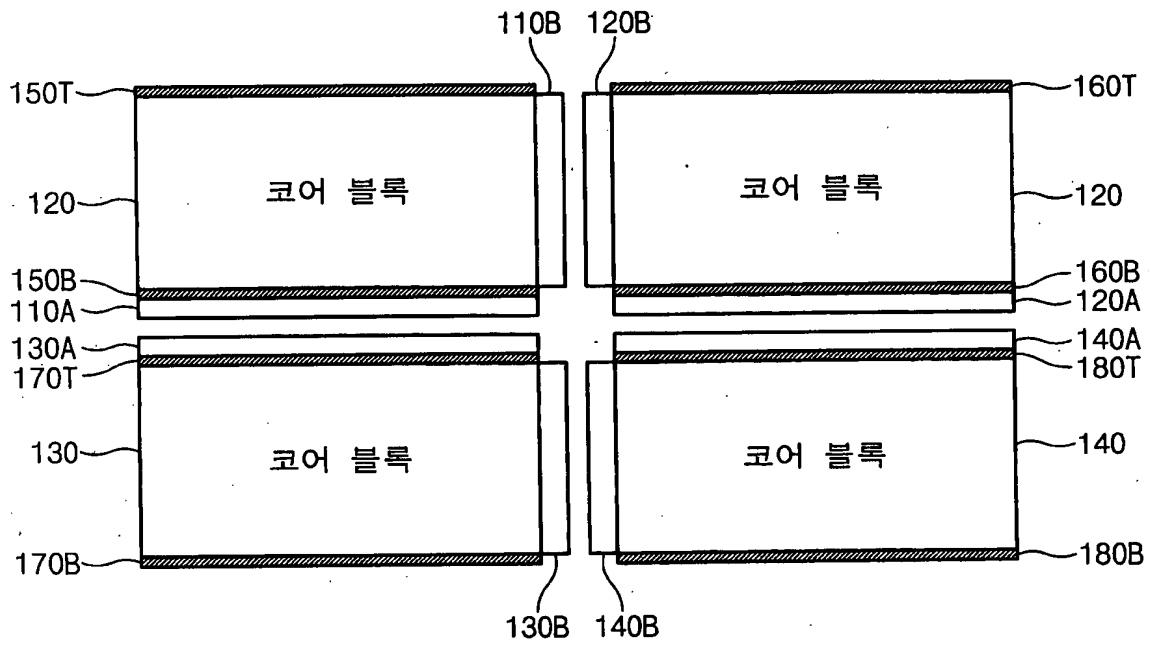
제 36 항에 있어서,

상기 제 1 및 제 2 디커플링 커패시터들 각각의 다른 전극은 상기 제 4 전압 공급 라인들에 연결된 도전막을 포함하는 반도체 메모리 장치.

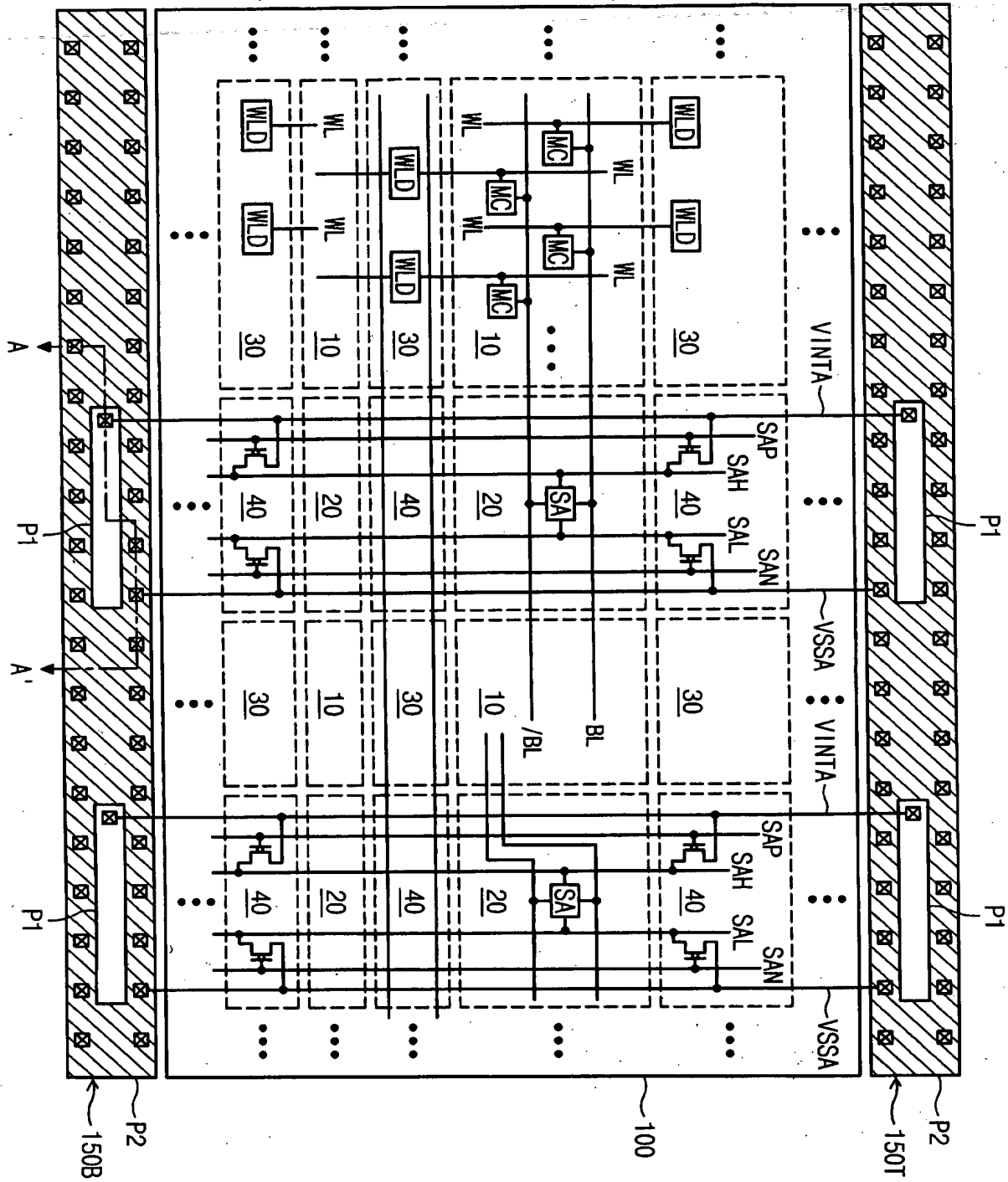
【도면】

【도 1】

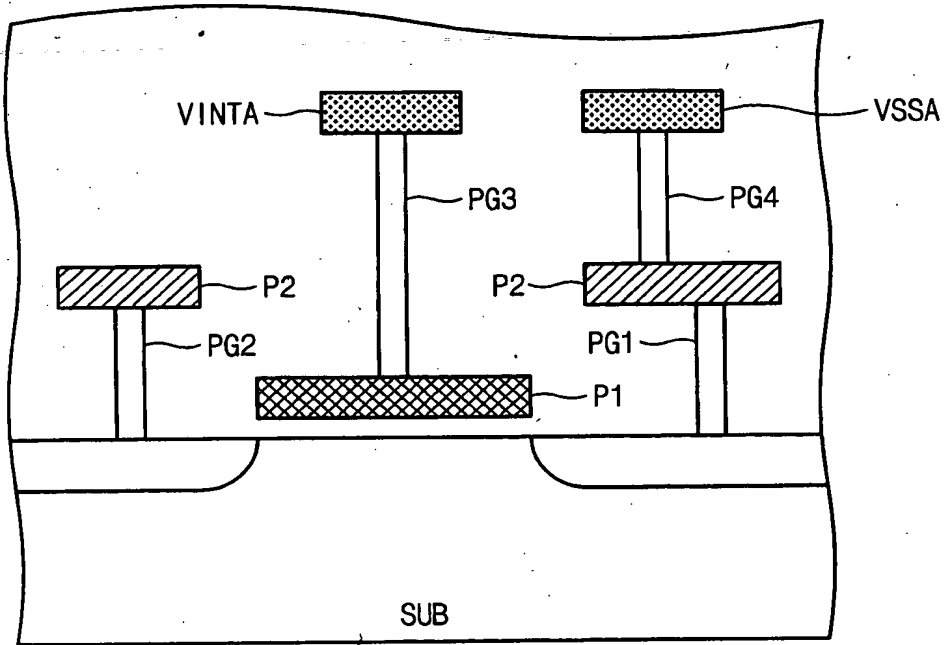
100



【도 2】

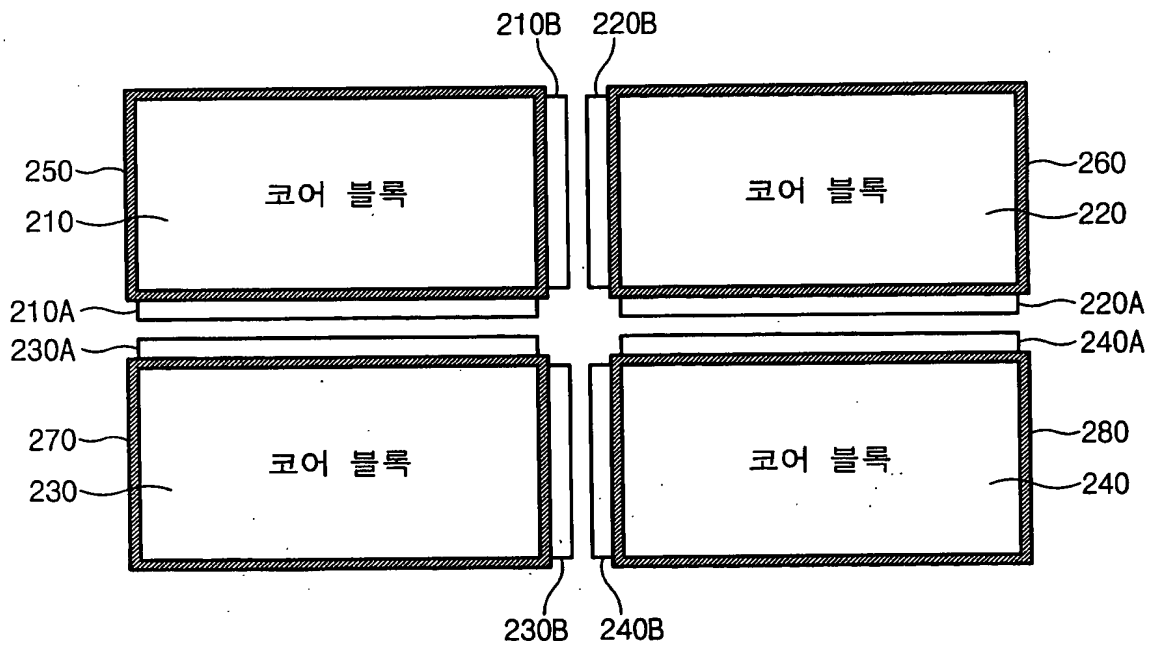


【도 3】

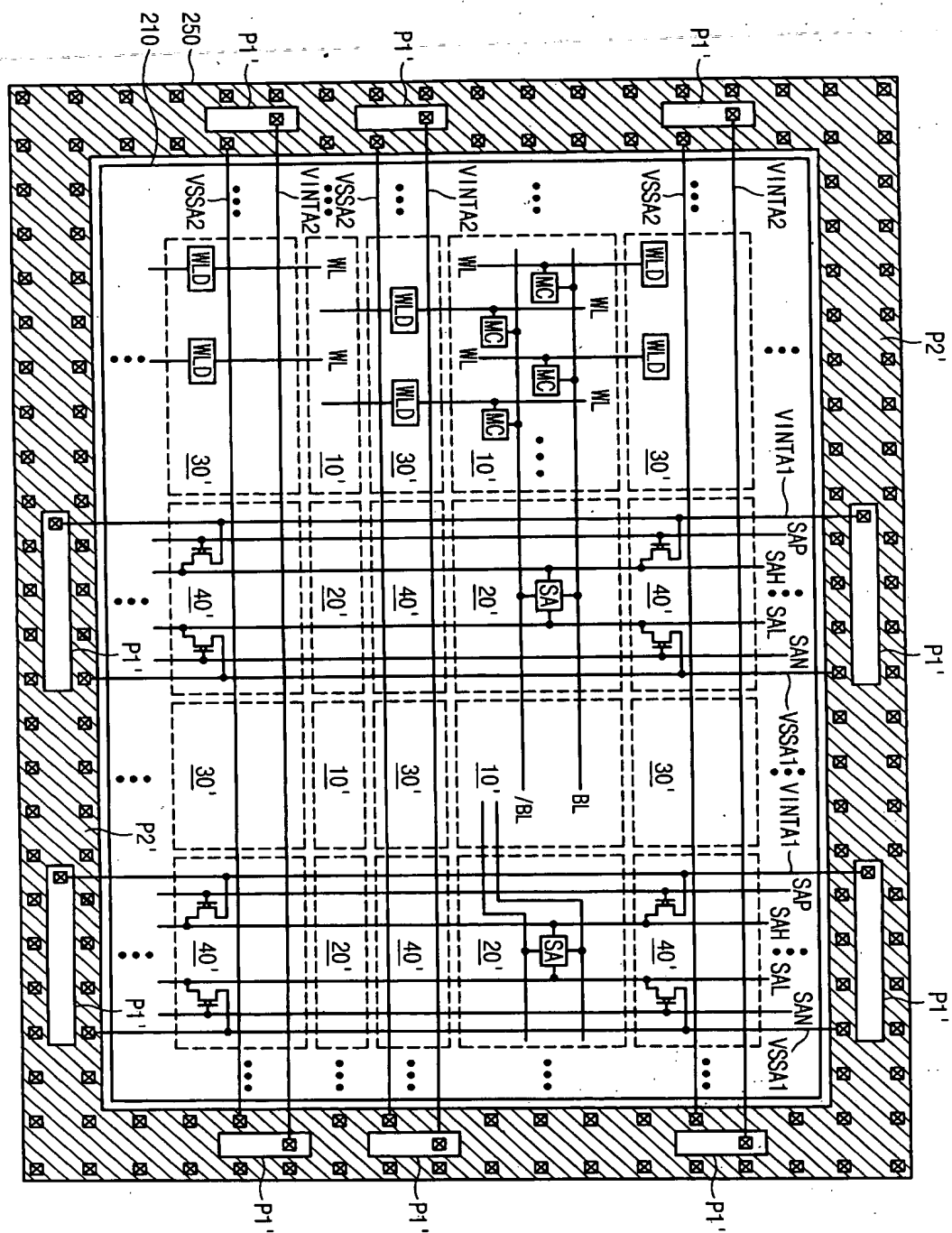


【도 4】

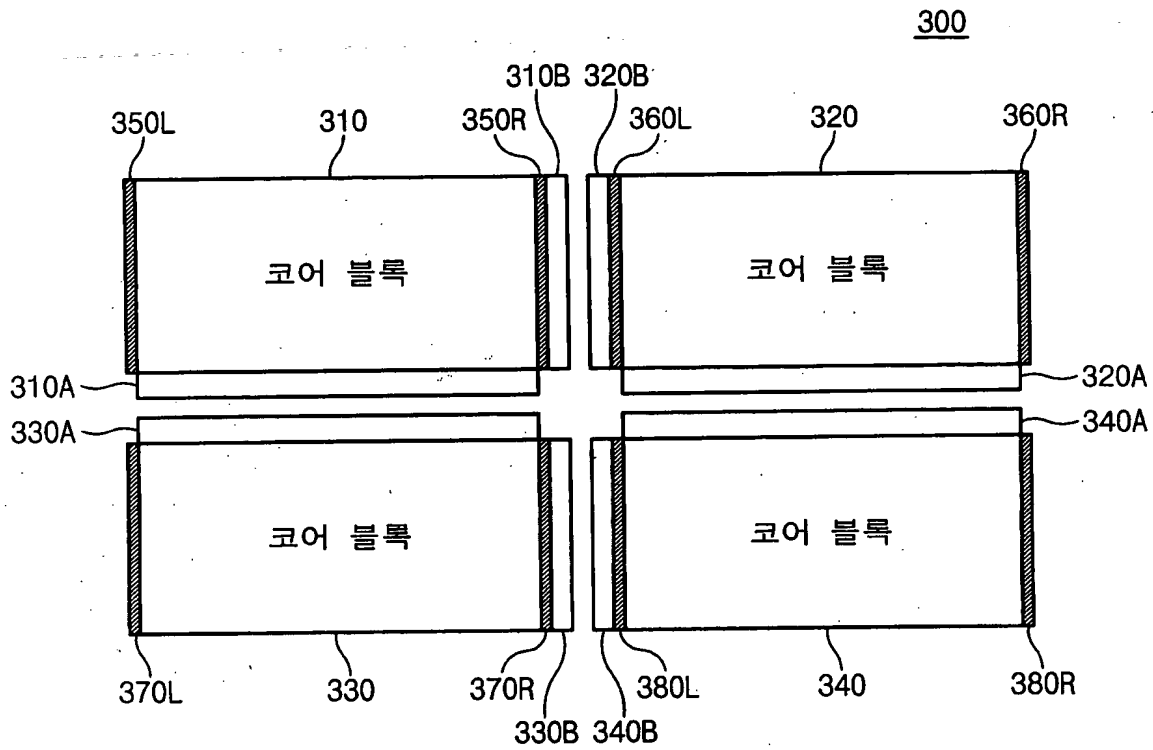
200



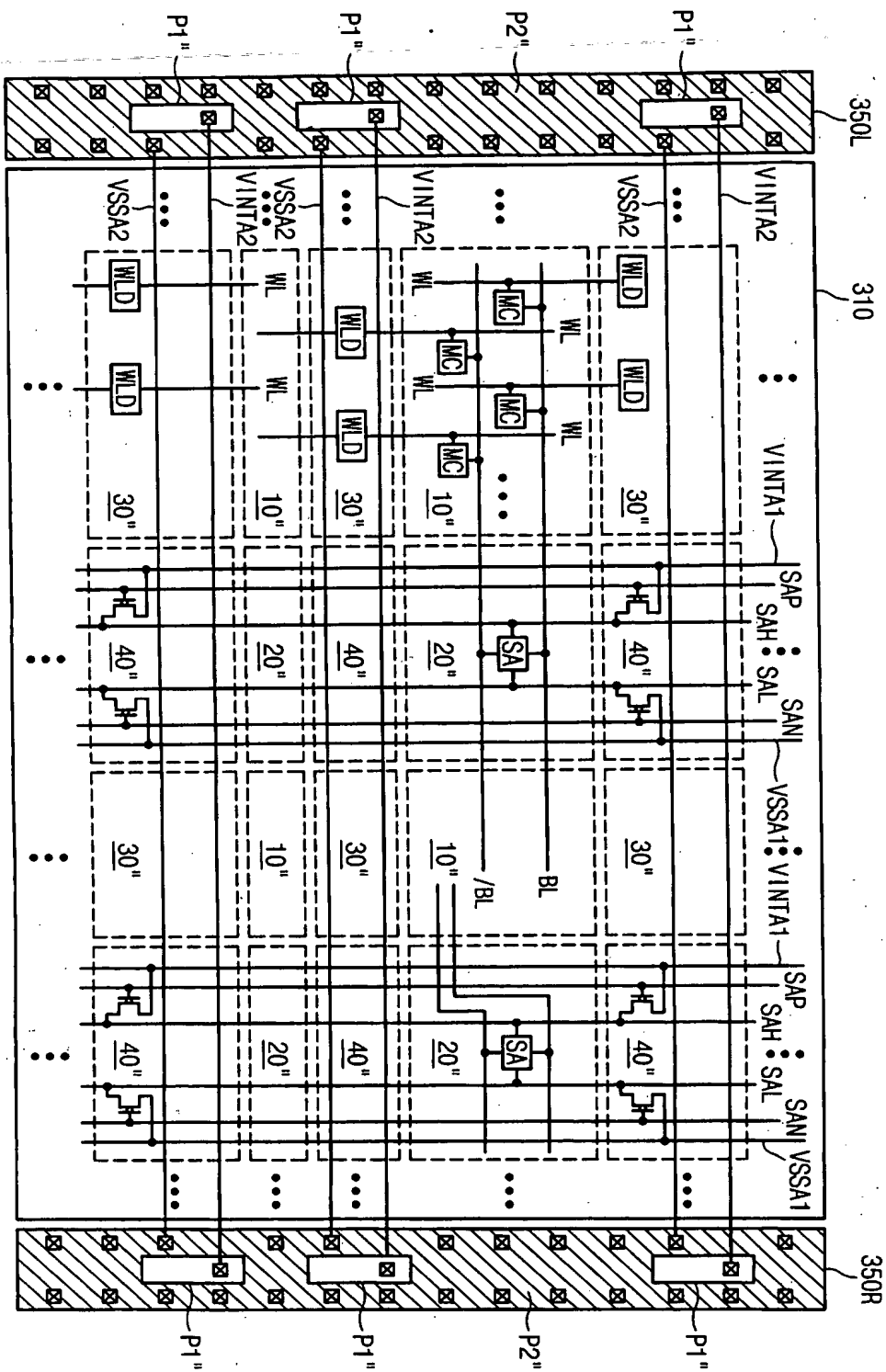
【도 5】



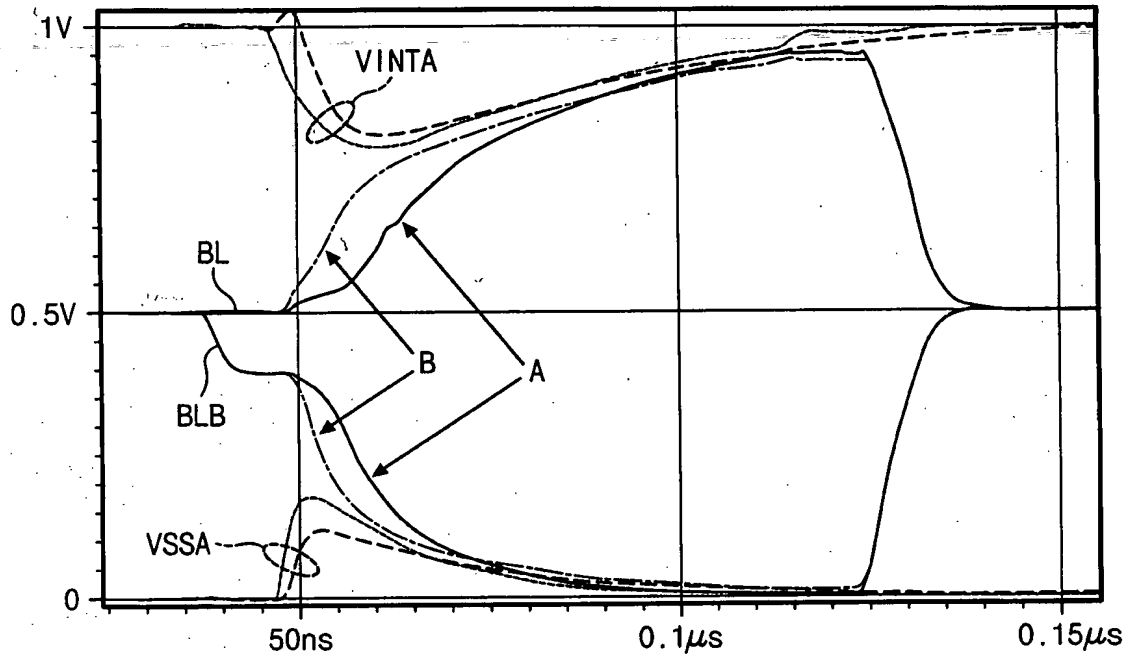
【도 6】



【도 7】



【도 8】



{ A : 디커플링 커패시터 미사용
 { B : 디커플링 커패시터 사용